

⑫ 公開特許公報 (A)

昭59—38996

⑬ Int. Cl.³
G 11 C 11/34識別記号
1 0 1庁内整理番号
8320—5B

⑭ 公開 昭和59年(1984)3月3日

発明の数 1
審査請求 有

(全 5 頁)

⑮ ランダムアクセスメモリ装置

⑯ 特 願 昭57—148704

⑰ 出 願 昭57(1982)8月25日

⑱ 発 明 者 飛田洋一

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

ランダムアクセスメモリ装置

2. 特許請求の範囲

(1) 複数個のメモリセルが接続されたワード線と、このワード線的一端に一方の主電極が接続され、他方の主電極が所定電位点に接続されるとともにゲート電極に制御信号が供給され上記メモリセルの非アクセス期間中には導通して当該ワード線を不活性状態に保持し、アクセス期間中に不完全なしや断状態に保たれるクランプ用電界効果トランジスタと、上記ワード線の他端に接続され上記ワード線にワード線駆動信号を供給するワード線駆動信号発生回路とを備えたものにおいて、上記ワード線駆動信号発生回路の出力と電源端子との間に当該出力の電圧を上記アクセス期間中上記電源の電圧よりも高く保持する電圧保持回路を備えたことを特徴とするランダムアクセスメモリ装置。

(2) 電圧保持回路は繰り返し信号を受けてその

信号毎にワード線駆動信号を昇圧し所要電圧値に保持するようにしたことを特徴とする特許請求の範囲第1項記載のランダムアクセスメモリ装置。

3. 発明の詳細な説明

この発明は電界効果形トランジスタ(以下「FET」と略称する。)を用いたランダムアクセスメモリ装置に係り、特にそのワード線駆動回路の改良に関するものである。

第1図は従来のランダムアクセスメモリ装置(以下「RAM」と略称する。)の一部を示す回路構成図で、1ビット当たり1個のFETをもつメモリセルが4ビットと、それらを選ぶためのアドレスデコーダとワード線のプルダウン回路とが示されている。第1図において、(1a)～(1d)はそれぞれ1ビットのメモリセルで、論理値「1」または「0」(以下「1」または「0」は論理値を示すものとする。)のデータを記憶する一端接地の記憶容量(2)と、一方の主電極がこの記憶容量(2)の他端に接続され、この記憶容量(2)のデータ読み出し、書き込みまたは保持するためのスイッチングFETとを備えている。

(4)はスイッチングFET(3)の他方の主電極に接続されメモリセル(1a),(1c)についてのデータを伝送するビット線、(5)はメモリセル(1a),(1b)のスイッチングFET(3)のオン(ON),オフ(OFF)を制御するための信号が加えられるワード線で、スイッチングFET(3)のゲートに接続されている。(6)はメモリセル(1b),(1d)用のビット線、(7)はメモリセル(1c),(1d)用のワード線、(8)は端子群(9)から供給されるアドレス信号 $A_{x1}, \overline{A_{x1}}, \dots, A_{xn}, \overline{A_{xn}}$ をデコードしてその出力(10),(11)---の中の1本に電圧を出すデコーダ回路、(12),(13)はそれぞれデコーダ回路(8)の出力(10),(11)のレベルに応じて端子(14)へ供給されるワード線駆動信号 ϕ_w をワード線(6),(7)へ結合するFET、(15),(16)はそれぞれワード線(6),(7)の雑音を除去または低減するためのFET、(17)はワード線(6),(7)のブルダウン制御回路、(18)はブルダウンFET(15),(16)のゲート電極に接続されたブルダウン制御回路(17)の出力線、(19)は電源端子、(20),(21)はそれぞれクロック ϕ , $\bar{\phi}$ の入力端子、(22)は電源端子(19)と出力線(18)との間に接続され

ゲート電極を電源端子(19)に接続された負荷FET、(23)は同じく電源端子(19)と出力線(18)との間に接続されゲート電極をクロック $\bar{\phi}$ の入力端子(21)に接続された予備充電用FET、(24)は出力線(18)とノード(25)との間に接続されゲート電極をクロック ϕ の入力端子(20)に接続されたFET、(26)はノード(25)と接地点との間に接続されゲート電極を出力線(18)に接続されたFETである。

第2図は第1図の回路の動作を説明するための各部波形図で、ここではメモリセル(1a)に"1"を書き込む場合について説明する。第2図の時刻 t_0 から t_1 までの間はこのメモリスシステムの予備充電の期間であり、クロック信号 ϕ によつてデコーダ回路(8)の出力(10),(11)およびブルダウン回路(17)の出力線(18)は"1"に予め充電されている。このときワード線駆動信号 ϕ_w は"0"であるので、ワード線(6),(7)はそれぞれFET(12),(13)およびブルダウンFET(15),(16)を通じて接地され、ワード線(6),(7)のそれぞれの電位 v_6, v_7 は"0"である。時刻 t_1 にクロック ϕ が"0"になるとクロック $\bar{\phi}$ は"1"となり、FET(24)がON

となり、ノード(25)のレベル v_{25} は $V - V_{TH}$ から低圧 V_{TH} に低下する。 V は電源端子(19)への供給電圧、 V_{TH} はFET(24)のしきい値電圧である。このレベル v_{25} の低下後の値はFET(24),(26)のON抵抗の値によつて決まる。一般のブルダウン回路ではFET(24)のON抵抗とFET(26)のON抵抗との比を50:1ないし100:1程度に設定され、ノード(25)の電位レベルは V_{TH} よりわずかに大きい値になる。従つて、FET(15),(16)は弱く導通しているので、ワード線(6),(7)は高抵抗ではあるが、FET(15),(16)を通して接地されることになる。次に時刻 t_1 と t_2 との間でアドレス信号が入りワード線(6)が選ばれるとノード(11)のレベルは"0"となり、ノード(10)は"1"に保持される。次に、時刻 t_2 でワード線駆動信号 ϕ_w が"0"から"1"に変わり、これがそのままFET(12)を通してワード線(6)に伝えられワード線(6)が"0"から"1"に変わる。これによつてメモリセル(1a),(1b)のFET(3)が導通しメモリセル(1a),(1b)へのデータ書き込みの状態が準備される。このときFET(15)はON状態ではあるが、その抵抗とワード線(6)

の駆動信号側との抵抗比は非常に大きい(100:1以上)のでワード線(6)のレベルの低下は殆んどなく、ワード線(6)の電圧は V になる。次に時刻 t_3 でビット線(4)に第2図に v_4 で示すように入力データ信号の"1"レベルが伝えられる。[ビット線(4)において t_3 以前の電圧はメモリセル(1a)が記憶していたレベルによるが、これはこの発明とは直接関係ないので説明を省略している。]

上記入力データ信号の"1"レベルはFET(3)を通して記憶容量(2)に伝わるが、このFET(3)のしきい値電圧 V_{TH} によつて低下した電圧 $V - V_{TH}$ となつて書き込まれる。このようにメモリセルに書き込まれる信号のレベルが低いと、それを読み出したときの信号レベルも低くなるので好ましくない。これを防ぐためにはワード線駆動信号 ϕ_w のレベルを電源電圧 V とFETのしきい値電圧 V_{TH} との和以上に上げてやればよい。第3図はこのための従来技術になるワード線駆動回路の一例を示すブロック回路図で、(27)はワード線駆動信号 ϕ_w の発生回路ブロック、(28)は駆動信号 ϕ_w を昇圧するため

の昇圧信号 ϕ_p の発生回路ブロック、42はその出力端子、43は駆動信号 ϕ_c の出力端子41と昇圧信号 ϕ_p の出力端子42との間に接続された昇圧容量、44は駆動信号 ϕ_c の出力端子41と接地点との間の寄生容量である。

第4図は第3図の回路動作を説明するための信号波形図で、ここで出力端子44は第1図の端子44に対応し、駆動信号 ϕ_c はワード線46に伝わっているものとする。駆動信号 ϕ_c が時刻 t_2 で"0"から"1"に上昇した後、時刻 t_2 で昇圧信号 ϕ_p が"0"から"1"に上昇すると、昇圧容量43によつて駆動信号 ϕ_c のレベルが電圧 V 以上の値 V_A に上昇する。この上昇分 ΔV は

$$\Delta V = [C_{33} / (C_{33} + C_{34})] \cdot V$$

で与えられる。ここで、 C_{33} 、 C_{34} はそれぞれ容量43、44の容量値である。この ΔV をしきい値電圧 V_{TH} 以上にすることは容易にできるので、駆動信号 ϕ_c の"1"レベル(第4図の V_A)は $V + V_{TH}$ 以上に上げることができる。ところが、このレベルは容量43、44に蓄えられた電荷の量によつて決つてお

に接続されゲート電極を昇圧信号 ϕ_p の出力端子42に接続された充電用FET、(41)はドレインとゲート電極をノード(49)に接続されソース電極をワード線駆動信号 ϕ_c の発生回路42の出力端子41に接続された整流用FET、(42)はドレインとゲート電極とをワード線駆動信号 ϕ_c の出力端子41に接続されソースを電源端子42に接続されたクランプ用FETである。

第6図は第5図の回路の動作を説明するための各部信号波形図で、時刻 t_2 まではゲート線駆動信号 ϕ_c の波形は第4図と同じである。時刻 t_2 後、昇圧信号 ϕ_p によつてFET 43がON状態になると、繰り返し信号 ϕ_c が"0"から"1"に変化したとき、その変化分がFET 43のしきい値電圧分を差し引いた $V - V_{TH}$ が昇圧容量43を通じてノード49に伝わり、ノード49のレベルが上昇し、整流用FET (41)がON状態となり、ノード49から出力端子44に向つて電流が流れ出力端子44の電圧レベルが上昇する。繰り返し信号 ϕ_c が"1"から"0"に変わると、FET (41)はOFFになるので、出力端子44からノード49には

り、この電流がFET 41を通して放電するので、徐々に低下して時刻 t_3 までの時間が長くなつた場合、第4図に示すように電源電圧 V 以下の値 V_B にまで低下する。以上のように従来の回路ではワード線駆動信号 ϕ_c を昇圧してからメモリセルにデータを書き込むまでの時間を長くとれないという欠点があつた。

この発明は以上のような点に鑑みてなされたもので、昇圧されたワード線のレベルが低下しないようにして、メモリセルにデータを書き込む時間の制約をなくすることを目的としている。

第5図はこの発明の一実施例におけるワード線駆動信号発生回路のみを示す回路図で、その他の部分は第1図の従来例と同様でよい。第1図、第3図と同一符号は同等部分を示す。第5図において、43は繰り返し信号 ϕ_c の供給端子、48は一方の主電極を端子43に、他方の主電極をノード49に、ゲート電極を昇圧信号 ϕ_p の出力端子42に接続されたFET、49はノード49とノード49との間に接続された昇圧容量、44は電源端子42とノード49との間

電流は流れない。ノード49の電圧レベルは低下するが充電用FET 43を通して $V - V_{TH}$ に充電される。上記信号 ϕ_c の繰り返し、昇圧容量43の結合作用、充電用FET 43を介するノード49の充電、整流用FET (41)を介する出力端子44の充電という一連の動作を行なうと出力端子44の電圧は低下しなくなる。第6図において、繰り返し信号 ϕ_c と昇圧容量43による電流 I は次式で表わされる。

$$I = f \cdot C_{38} \cdot (V - V_{TH})$$

ここで、 f は信号 ϕ_c の繰り返し周波数、 C_{38} は昇圧容量43の容量値、 V_{TH} はFET 43のしきい値電圧である。一般的な値として、 $f = 3\text{MHz}$ 、 $V = 5\text{V}$ 、 $V_{TH} = 0.5\text{V}$ 、また $C_{38} = 5\text{pF}$ 程度に設定すると、

$$I = 3 \times 10^6 \times 5 \times 10^{-12} \times (5 - 0.5) = 67.5 \mu\text{A}$$

となり、第1図におけるブルダウンFETに流れる電流を $10\mu\text{A}$ 程度に設定すればワード線駆動信号 ϕ_c のレベルを保持できる。

クランプ用FET (42)はワード線駆動信号 ϕ_c のレベルを必要以上に上昇させないようにするためのFETで、第5図の場合はそのレベルが $V + V_{TH}$ 以上

に上昇しないように1個のクランプ用FET(42)が接続されている。必要によつてはこのFETを2個以上にしてもよい。また、メモリセルからの読み出し信号が大きくなるときはワード線駆動信号 ϕ_w のレベルは $V+V_{TH}$ でなく、 V と $V+V_{TH}$ との間に設定してもよい。この場合は上述の電流1の設定値を小さくすればよい。

以上詳述したように、この発明になるランダムアクセスメモリ装置では複数個のメモリセルが接続され、その他端にはほぼしきい値電圧で制御されるアクセス期間中のしや断状態が不完全なおそれのあるクランプ用FETを接続されたワード線を駆動するワード線駆動信号発生回路の出力をアクセス期間中所要電圧に保持する電圧保持回路を設けたので、メモリセルへのデータの書き込みを完全に行なうことができる。

4. 図面の簡単な説明

第1図は従来のRAMの一部を示す回路構成図、第2図は第1図の回路の動作を説明するための各部信号波形図、第3図は従来技術になるワード線

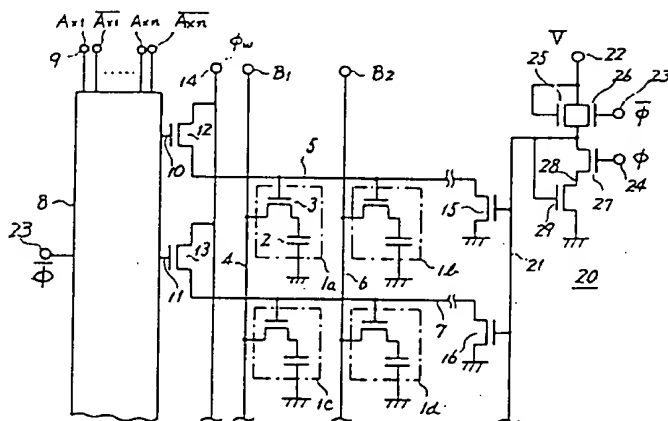
駆動回路の一例を示すブロック回路図、第4図は第3図の回路動作を説明するための各部信号波形図、第5図はこの発明の一実施例におけるワード線駆動信号発生回路のみを示す回路図、第6図は第5図の回路動作を説明するための各部信号波形図である。

図において、(1a)、(1b)、(1c)、(1d)はメモリセル、(6)、(7)はワード線、(4)はワード線駆動信号 ϕ_w の供給端子、(10)、(11)はクランプ用FET、(22)は電源電圧 V の供給端子、(20)はワード線駆動信号 ϕ_w の発生回路ブロック、(24)は繰り返し信号 ϕ_c の供給端子である。

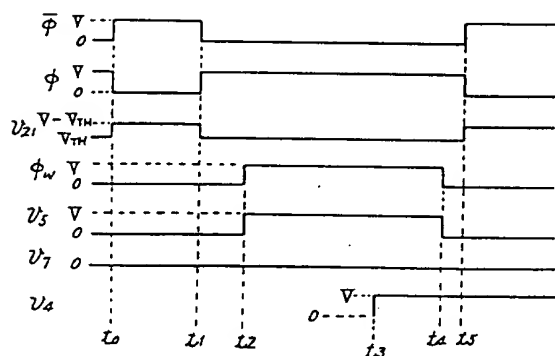
なお、図中同一符号は同一または相当部分を示す。

代理人 葛 野 信 一 (外1名)

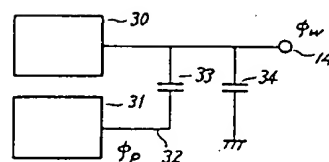
第1図



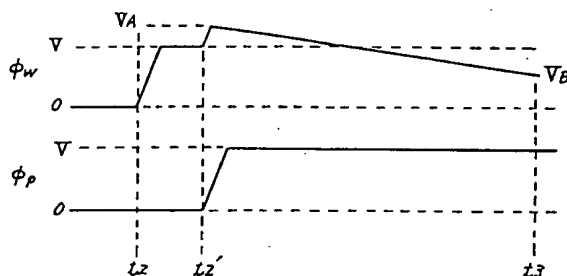
第2図



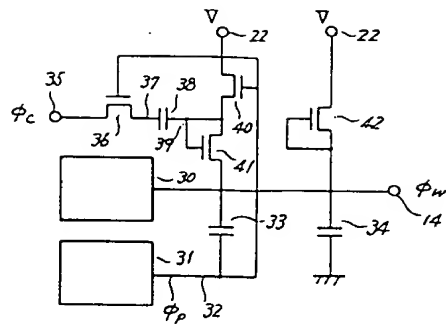
第3図



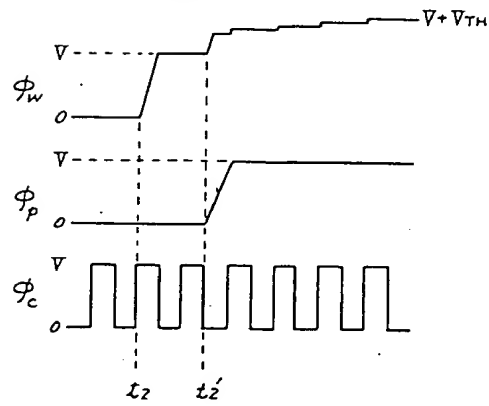
第4図



第 5 図



第 6 図



1)
AN - 84-038996

TI - RANDOM ACCESS MEMORY DEVICE

PA - (2000601) MITSUBISHI ELECTRIC CORP

IN - HIDA, YOICHI

PN - 84. 03. 03 J59038996, JP 59-38996

AP - 82. 08. 25 82JP-148704, 57-148704

SO - 84. 06. 30 SECT. P, SECTION NO. 283; VOL. 8, NO. 141, PG. 29.

IC - G11C-011/34

JC - 45. 2 (INFORMATION PROCESSING--Memory Units)

AB - PURPOSE: To write data completely, by suppressing the level lowering of a boosted word line driving signal to remove the restriction of the time of the data write to a memory cell.
CONSTITUTION: After a time t' (sub 2) an FET36 is turned on by a boosting signal .phi.P; and when a repeat signal .phi.C is changed from "0" to "1", an FET41 for rectification is turned on, and the voltage level of a word line driving signal .phi.W from an output terminal 14 rises. Meanwhile, when the signal .phi.C is changed from "1" to "0", the FET41 is turned off, and a boosting capacity 38 is charged through a charging FET40. By a series of operations of the repeat of the signal .phi.C, the coupling action of the boosting capacity 38, the charging of a node 39 through the FET40, and the charging of the output terminal 14 through the FET41, the voltage of the output terminal 14; namely, the level of the word line driving signal is not lowered. Thus, the restriction of the time of data write to the memory cell is removed to write data completely.